华侨大学 2015 年硕士研究生入学考试专业课试卷

（答案必须写在答题纸上）

招生专业 模式识别与智能系统

科目名称 计算机组成原理 **科目代码** 848

一、选择题（本题共 15 题，每题 2 分，共 30 分）

1．从器件角度看，计算机经历了五代变化。但从系统结构看，至今绝大多数计算机仍属于_____计算机。

A．并行　　B．冯•诺依曼　　C．图灵　　D．串行

2．冯•诺依曼计算机中指令和数据均以二进制形式存放在存储器中，CPU 区分它们的依据是_____。

A．指令操作码的译码结果　　B．指令和数据的寻址方式

C．指令周期的不同阶段　　D．指令和数据所在的存储单元

3．浮点数加减运算过程一般包括对阶、尾数运算、规格化、舍入和溢出判断等步骤。设浮点数的阶码和尾数都采用补码表示，且位数分别为 5 位和 7 位（均含 2 位符号位）。若有两个数 $X=2^7\times 29/32$、$Y=2^5\times 5/8$，则浮点加法计算 X+Y 的最终结果是_____。

A．00111 1100010　　B．00101 0001000

C．01000 0010001　　D．发生溢出

4．虚拟存储技术主要解决存储器的_____问题。

A．速度　　B．扩大存储容量　　C．成本　　D．前三者兼顾

5．某 DRAM 芯片，其存储容量为 512K×8 位，该芯片的地址线和数据线的数目是_____。

A．512 和 3　　B．512 和 8　　C．19 和 3　　D．19 和 8

6．在定点二进制运算器中，减法运算一般通过_____来实现。

A．原码运算的二进制减法器　　B．补码运算的二进制减法器

C．原码运算的十进制加法器　　D．补码运算的二进制加法器

7．在机器数的表示中，零的表示形式唯一的是_____。

A．原码　　B．补码　　C．反码　　D．都不是

8．寄存器间接寻址方式中，操作数在_____。

A．主存单元　　B．通用寄存器　　C．程序计数器　　D．堆栈

9．流水 CPU 是由一系列叫做“段”的处理部件组成。在处理一段可以完全并行执行的指令序列时，相比于具备 m 个并行部件的 CPU，一个 m 段流水 CPU 的吞吐能力_____。

A．小于前者　　B．大于前者　　C．具备同等水平　　D．无法比较

10．某计算机的控制器采用微程序控制方式，微指令中的操作控制字段采用字段直接编码法，共有 33 个微命令，构成 5 个互斥类，分别包含 7、3、12、5 和 6 个微命令，则操作控制字段至少有_____。

A．5 位　　B．6 位　　C．15 位　　D．33 位

11．直接映射 cache 的主要优点是实现简单。这种方式的主要缺点是_____。

A．它比其他 cache 映射方式价格更贵

B．如果使用中的 2 个或多个块映射到 cache 同一行，命中率则下降

C．它的存取时间大于其它 cache 映射方式

D．cache 中的块数随着主存容量增大而线性增加

12．下列陈述中正确的是_____。

A．在 DMA 周期内，CPU 不能执行程序

B．中断发生时，CPU 首先执行入栈指令将程序计数器的内容保护起来

C．DMA 传送方式中，DMA 控制器每传送一个数据就窃取一个指令周期

D．输入输出操作的最终目的是要实现 CPU 与外设之间的数据传输

13．CRT 的颜色数为 256 色，则刷新存储器每个单元的字长是_____。

A．256 位　　B．16 位　　C．8 位　　D．7 位

14．假设某计算机按字编址，Cache 有 4 个行，Cache 和主存之间交换的块大小为 1 个字。若 Cache 的内容初始为空，采用 2 路组相联映射方式和 LRU 替换算法，当访问的主存地址依次为 0，4，8，2，0，6，8，6，4，8 时，命中 Cache 的次数是_____。

A．1　　B．2　　C．3　　D．4

15．某 CPU 主频为 1.03GHz，采用 4 级指令流水线，每个流水段的执行需要 1 个时钟周期，假设 CPU 执行了 100 条指令，在其执行过程中，没有发生任何流水线阻塞，此时流水线的吞吐率为_____。

A．0.25×10^9条指令/秒　　B．0.97×10^9条指令/秒

C．1.0×10^9条令/秒　　D．1.03×10^9条指令/秒

二、填空题（本题共 20 空，每空 3 分，共 60 分）

1．-27/64 表示成 IEEE754 标准的 32 位浮点规格化数是（16 进制表示）____(1)___。

2．某计算机字长 32 位，其存储容量为 64MB，若按字编址，它的存储系统的地址线至少需要__(2)___条。

3．设存储器容量为 32 字，字长为 64 位，模块数 m=4，存储周期 T=200ns，总线传送周期 τ=50ns，数据总线宽度为 64 位，采用交叉存储器组织方式，其带宽是___(3)____。

4．任何指令周期的第一阶段必定是__(4)__周期。

5．假设变址寄存器 R 的内容 1000H，指令中的形式地址为 2000H：地址 1000H 中的内容为 2000H，地址 2000H 中的内容为 3000H，地址 3000H 中的内容为 4000H，则变址寻址方式下访问到的操作数是___(5)___。

6．为了实现 CPU 对主存储器的读写访问，它们之间的连线按功能划分应当包括__(6)__、___(7)___、控制总线三类

7．在 CPU 中：1）保存当前正在执行的指令的寄存器是_____(8)_____；2）保存当前正在执行的指令地址的寄存器是_____(9)_____；3）保存下一条要执行的指令地址的寄存器是____(10)_____；4）算术逻辑运算结果通常放在_____(11)_____和通用寄存器。

8．在计算机系统中，CPU 对外围设备的管理除程序查询方式、程序中断方式外，还有_____(12)_____方式和_____(13)_____方式。

9．一个组相联映射的 Cache，有 128 块，每组 4 块，主存共有 16384 块，每块 64 个字，则主存地址共___(14)___位，其中主存字块标记应为___(15)__位，组地址应为__(16)__位，Cache 地址共__(17)__位。

10．影响流水线性能的控制相关是由___(18)____指令引起的。

11．在 Cache-主存的地址映射方式中，____(19)____方式灵活性最强。

12．磁盘上使用半径不同的同心圆来保存数据信息，这些同心圆称为__(20)__。

三、综合题（本题共 5 题，共 60 分）

1.（5 分）存储系统中加入 cache 存储器的目的是什么？有哪些地址映射方式，各有什么特点？

2.（5 分）假设某机器有 80 条指令，平均每条指令由 4 条微指令组成，其中有一条取指微指令是所有指令公用的。已知微指令长度为 32 位，请估算控制存储器的容量。

3.（15 分）某磁盘存储器转速为 3000 转/分，共有 4 个记录面，道密度为 5 道/mm，每道记录信息为 12288 字节，最小磁道直径为 230mm，共有 275 道。问：

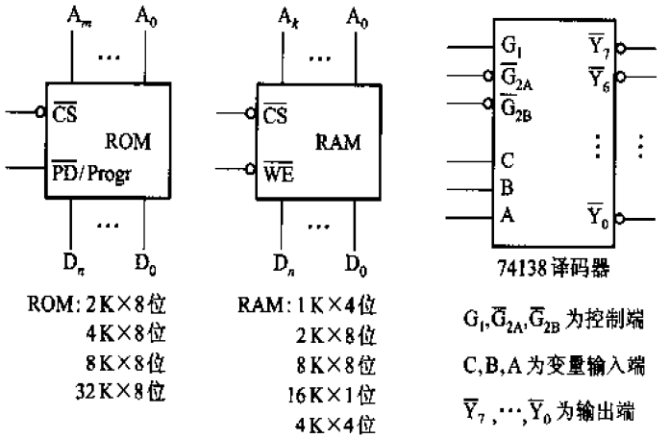
1）磁盘存储器的容量是多少？（4 分）

2）最高位密度与最低位密度是多少？（6 分）

3）磁盘数据传输率是多少？（3 分）

4）平均等待时间是多少？（2 分）

4.（16 分）设 CPU 共有 16 根地址线，8 根数据线，使用 $\overline{MREQ}$ 作为访存控制信号（低电平有效），用 $\overline{WR}$ 作为读/写控制信号（高电平为读，低电平为写）。现有芯片及各种门电路如下图所示（门电路自选）。



设定存储芯片地址空间分配为：0 ~ 8191 为系统程序区；8192 ~ 32767 为用户程序区；最大 4K 地址空间为系统程序工作区。请完成下列设计：

1）指出选用的存储芯片类型及各自所需的数目。（6 分）

2）画出具有详细的片选逻辑电路的 CPU 与存储器的连接框图。（要求给出设计分析过程：如数据线、地址线和片选线的分配说明，详细的片选逻辑关系等）（10 分）

5.（19 分）某 16 位计算机中，带符号整数用补码表示，数据 Cache 和指令 Cache 分离。下表给出了指令系统中部分指令格式，其中 Rs 和 Rd 表示寄存器，mem 表示存储单元地址，(x)表示寄存器 x 或存储单元 x 的内容。

名称	指令的汇编格式	指令功能
加法指令	ADD　Rs，Rd	(Rs)+(Rd)→Rd
算术/逻辑左移	SHL　Rd	2*(Rd)→Rd
算术右移	SHR　Rd	(Rd)/2→Rd
取数指令	LOAD　Rd，mem	(mem)→Rd
存数指令	STORE　Rs，mem	(Rs)→mem

该计算机采用 5 段流水方式执行指令，分别是取指(IF)、译码/读寄存器(ID)、执行/计算有效地址(EX)、访问存储器(M)和结果写回寄存器(WB)。流水线采用“按序发射，按序完成”方式，没有采用旁路等转发技术处理数据相关，并且同一个寄存器的读和写操作不能在同一个时钟周期内进行。请回答下列问题。

1）若 int 型变量 x 的值为-513，存放在寄存器 R1 中，则执行指令“SHR R1”后，R1 的内容是多少？（用十六进制表示）（3 分）

2）若某个时间段中，有连续的 4 条指令进入流水线，在其执行过程中没有发生任何阻塞，则执行这 4 条指令所需的时钟周期数为多少？（3 分）

3）若高级语言程序中某赋值语句为 x = a+b，x、a 和 b 均为 int 型变量，它们的存储单元地址分别表示为[x]、[a]和[b]。该语句对应的指令序列及其在指令流水线中的执行过程如下：

编号	指令
I_1	LOAD　R1，[a]
I_2	LOAD　R2，[b]
I_3	ADD　R1，R2
I_4	STORE　R2，[x]

	时间单元													
指令	1	2	3	4	5	6	7	8	9	10	11	12	13	14
I_1	IF	ID	EX	M	WB									
I_2		IF	ID	EX	M	WB								
I_3			IF				ID	EX	M	WB				
I_4							IF				ID	EX	M	WB

则这 4 条指令执行过程中，I_3的 ID 段和 I_4的 IF 段被阻塞的原因各是什么？（4 分）